

PATENT
Docket No. 12290/1



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

APPLICANTS: Yoshikazu MIYANAGA et al.
SERIAL NO. : UNASSIGNED
FILED : December 27, 2001
FOR : SPEECH RECOGNITION DEVICE

ASSISTANT COMMISSIONER
FOR PATENTS
Washington, D.C. 20231

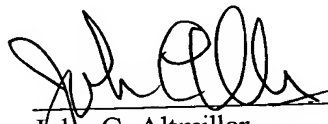
CLAIM TO CONVENTION PRIORITY UNDER 35 U.S.C. § 119

SIR:

The Convention Priority Date of Japanese Patent Application No. 2001-081311 filed in Japan on March 21, 2001 was claimed in the Declaration/Power of Attorney filed December 27, 2001. To complete the claim to the Convention Priority Date of said Japanese Patent Applications, a certified copy thereof is submitted herewith.

Respectfully submitted,

Dated: December 27, 2001


John C. Altmiller
(Reg. No. 25,951)

KENYON & KENYON
1500 K Street, N.W., Suite 700
Washington, DC 20005-1257
Tel: (202) 220-4200
Fax: (202) 220-4201

日 本 国 特 許 庁
JAPAN PATENT OFFICE

Handwritten: 特許庁
2/14/01

JC927 U.S. PTO
10/026524
12/27/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 3月21日

出 願 番 号

Application Number:

特願2001-081311

出 願 人

Applicant(s):

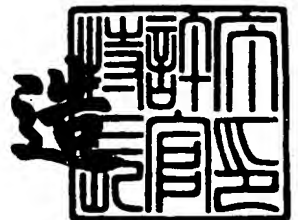
株式会社半導体理工学研究センター

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 9月11日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3083770

【書類名】 特許願

【整理番号】 1013485

【特記事項】 特許法第 3 0 条第 1 項の規定の適用を受けようとする特
許出願

【提出日】 平成13年 3月21日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 G10L 9/06

【発明の名称】 音声認識回路

【請求項の数】 6

【発明者】

 【住所又は居所】 北海道札幌市東区伏古 1 1 条 5 丁目 5 の 1 9

 【氏名】 宮永 喜一

【発明者】

 【住所又は居所】 北海道札幌市清田区清田 6 条 4 丁目 1 0 - 1 7

 【氏名】 樺沢 正之

【特許出願人】

 【識別番号】 396023993

 【氏名又は名称】 株式会社半導体理工学研究センター

【代理人】

 【識別番号】 100077517

 【弁理士】

 【氏名又は名称】 石田 敬

 【電話番号】 03-5470-1900

【選任した代理人】

 【識別番号】 100092624

 【弁理士】

 【氏名又は名称】 鶴田 準一

【選任した代理人】

 【識別番号】 100100871

【弁理士】

【氏名又は名称】 土屋 繁

【選任した代理人】

【識別番号】 100082898

【弁理士】

【氏名又は名称】 西山 雅也

【選任した代理人】

【識別番号】 100081330

【弁理士】

【氏名又は名称】 樋口 外治

【手数料の表示】

【予納台帳番号】 036135

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9903088

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 音声認識回路

【特許請求の範囲】

【請求項 1】 認識すべき音声入力のスเปクトル包絡に対応した複数次元のベクトルからなる入力信号を受けて、自己組織化アルゴリズムに基づいた特徴を出力する類似度回路と、

上記類似度回路の出力信号の行列演算を行うマトリクス回路とを備え、

上記類似度回路は、

上記複数次元の入力ベクトルと予め音声認識のために用意されたパターンベクトルとの距離を求める回路からなり、それぞれの次元に対応して 2 個のニューロン MOSFET により 1 次元分を計算し、個々のニューロン MOSFET に流れる電流を加算して類似度に対応した電圧信号を形成し、

上記マトリクス回路は、

重み付け演算に対応したキャパシタがマトリクス状に並べられ、上記類似度に対応した電圧信号を受けて、その行列演算出力の中から前記予め用意されたパターンに最も近いものを認識結果として出力させることを特徴とする音声認識回路。

【請求項 2】 請求項 1 において、

上記 2 個のニューロン MOSFET は n チャンネル型からなり、音声入力のスเปクトル包絡に対応した複数次元分のニューロン MOSFET のドレインが共通に接続されてドレイン電流が加算され、

上記加算されたドレイン電流はそれを電圧信号に変換する p チャンネル型 MOSFET に流れるようにされ、

上記 p チャンネル型 MOSFET のドレインと、ニューロン MOSFET の共通接続されたドレインの接続点は演算増幅回路の一方の入力に接続され、

かかる演算増幅回路の出力電圧は、上記 p チャンネル型 MOSFET のゲートに供給され、

上記演算増幅回路の他方の入力には、上記ニューロン MOSFET を飽和領域で動作させ、かつ p チャンネル型 MOSFET を非飽和領域で動作させるバイア

ス電圧が与えられてなることを特徴とする音声認識回路。

【請求項 3】 請求項 2 において、

上記演算増幅回路は、入力を共通とし、同じ回路定数からなる第 1 と第 2 のソースフォロワ出力回路を備え、

上記第 1 のソースフォロワ出力回路の出力信号は、前記 p チャンネル型 MOS FET のゲートに供給され、

上記第 2 のソースフォロワ出力回路の出力信号は、前記マトリクス回路に供給される入力電圧とされることを特徴とする音声認識回路。

【請求項 4】 請求項 2 において、

上記マトリクス回路は、

複数からなる入力端子の入力容量が互いに等しくなるようなダミー容量が必要に応じて付加されるものであることを特徴とする音声認識回路。

【請求項 5】 請求項 4 において、

上記マトリクス回路には、入力信号に対応した比較用キャパシタが設けられ、

上記比較キャパシタで形成された電圧を参照電圧とし、各行列演算出力をそれぞれ受ける音声認識出力に対応した複数個の電圧比較回路が設けられ、

個々の電圧比較回路から音声認識出力を得ることを特徴とする音声認識回路。

【請求項 6】 請求項 1 ないし 5 のいずれかにおいて、

上記各回路ブロックは、1 つの集積回路を構成する基板上において形成されるものであることを特徴とする音声認識回路。

【発明の詳細な説明】

【0 0 0 1】

【発明の属する技術分野】

この発明は、音声認識回路に関し、特に、音声認識を半導体集積回路で構成する技術に利用して有効な技術に関するものである。

【0 0 0 2】

【従来技術】

音声や画像の認識においてクラスタリングとラベリングは基本的な処理であり、自己組織化クラスタリングが下記文献 1 に、教師付き学習法を用いたクラスタ

リングシステムが下記文献2及び文献3に提案されている。また、このシステムを用いた音声認識も報告されている。この自己組織化クラスタリング処理を高速に行うための並列処理のデジタルLSI化も提案されているが、並列化しようとするチップ面積が膨大になるという問題点がある。距離を計算し、かつ、少ない素子で実現できるアナログ回路としては、ニューロンMOSFETを用いてマンハッタン距離を出力する回路が文献4に、ユークリッド距離の2乗を出力する回路が文献5に提案されている。

【0003】

上記文献1は、宮永喜一、奥村伸二、栃内香次、「自己組織化クラスタリングの汎化性と適応能力について」電子情報通信学会論文誌(A), vol.J75-A, no.7, pp.1207-1215, July 1992.であり、

上記文献2は、宮永喜一、栃内香次、「自己組織化と教師によるネットワークの高速・高精度学習について」電子情報通信学会論文誌(A), vol.J78-A, no.11, pp.1475-1484, Nov. 1995.であり、

上記文献3は、R. Islam, Y. Miyanaga, and K. Tochinal, 「Multi-clustering network for data classification system」IEICE Trans. Fundamentals, vol.E80-A, no.9, pp.1647-1654, Sep. 1997.であり、

上記文献4は、M. Konda, T. Shibata, and T. Ohmi, 「Neuron-MOS correlator based on Manhattan distance computation for event recognition hardware」IEEE International Symposium on Circuit and Systems, vol.4, Atlanta, USA, pp.217-220, May 1996. であり、

上記文献5は、U. Cilingiroglu and D.Y. Aksin, 「A 4-transistor euclidean distance cell for analog classifiers」IEEE International Symposium on Circuits and Systems, vol.1, California, USA, pp.84-87, May 1998.である。

【0004】

【発明が解決しようとする課題】

本願発明者等においては、先に前記のような音声認識技術を利用し、並列演算処理を行うデジタルLSIを検討したが、基本演算モジュールの数が膨大とな

り、集積回路のチップ面積が大きくなるという問題に直面した。そこで、回路規模の縮小に向けて、上記音声や画像の認識において基本的な処理であるクラスタリングとラベリングとをアナログ回路で一括して実現することを考えた。

【0005】

この発明の目的は、小規模回路で音声認識を実現した音声認識回路を提供することにある。この発明の他の目的は、半導体集積回路に好適な音声認識回路を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0006】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。認識すべき音声入力のスเปクトル包絡に対応した複数次元のベクトルからなる入力信号を受けて、自己組織化アルゴリズムに基づいた特徴を出力する類似度回路として、上記複数次元の入力ベクトルと予め音声認識のために用意されたパターンベクトルとの距離を求めるために、それぞれの次元に対応して2個のニューロンMOSFETにより1次元分を計算し、個々のニューロンMOSFETに流れる電流を加算して類似度に対応した電圧信号を形成してクラスタリング処理を行ない、その電圧信号を重み付け演算に対応したキャパシタがマトリクス状に並べられ、行列演算を行うマトリクス回路に入力し、かかる行列演算出力の中から前記予め用意されたパターンに最も近いものを認識結果として出力させてラベリング処理を実施する。

【0007】

【発明の実施の形態】

図1には、この発明に係る音声認識回路の一実施例の全体構成図が示されている。この実施例の音声認識システムは、2つの層で構成されている。第1層であるクラスタリング層は、 p 次元からなる入力ベクトル y に従って、自己組織化アルゴリズムに基づいた特徴を出力する層である。第2層であるラベリング層は、第1層のクラスタリング層で形成された特徴出力が入力される層であり、教師付きアルゴリズムに基づいた重みをかけて足しあわせる。ちなみに、前記文献2で

は、図1と同じシステムで認識と学習を同時に行っているが、これをアナログ回路で行うことは難しい。

【0008】

そこで、この実施例では前もって計算機で計算した係数をチップに埋め込み、チップはこの値を用いて認識のみ行うようにされる。認識時に用いる計算式を示す。第1層にはm個のクラスタノードがあり、各々のノードはパターンベクトル $x_i (i=1, 2, \dots, m)$ をもつ。それぞれのノードは、p次元の入力ベクトル $y = (y_1, y_2, \dots, y_p)$ とパターンベクトル $x_i = (x_{i1}, x_{i2}, \dots, x_{ip})$ とのユークリッド距離 $D_i (i=1, 2, \dots, m)$ に基づいた類似度 $S_i (i=1, 2, \dots, m)$ を次のように計算する。

【0009】

【式1】

$$D_i = \sqrt{\sum_{j=1}^p (y_j - x_{ij})^2},$$

【0010】

【式2】

$$S_i = \begin{cases} 1 - (D_i/D_s)^2 & D_i < D_s \\ 0 & D_i \geq D_s \end{cases}$$

式2において、 D_s は非線形問題に対応させるため設けたしきい値である。

【0011】

第2層はn個のノードをもち、第1層の出力 S_i にm次元の重みベクトル $w_t = (w_{t1}, w_{t2}, \dots, w_{tm}) (t=1, 2, \dots, n)$ をかけて足し合わせる。システムの出力 $z = (z_1, z_2, \dots, z_n)$ はその符号である。

【0012】

【式 3】

$$R_t = \sum_{i=1}^m w_{ti} S_i$$

【0 0 1 3】

【式 4】

$$z_t = \begin{cases} 0 & R_t < 0 \\ 1 & R_t \geq 0 \end{cases}$$

【0 0 1 4】

ネットワークの学習は、同一の動作をするソフトウェアシステムを構築し、前記文献 2 の手法により決定する。この実施例では、特に制限されないが、 x_i の成分は、ハードウェア化するにあたり 1 から 255 の間の整数値に丸め、 w_t はチップのデザインルールの制限により適当な整数に丸めた値を用いる。

【0 0 1 5】

図 2 には、この発明に係る音声認識回路での全体の信号処理の一実施例のフローチャート図が示されている。この実施例は、特に制限されないが、5 つの母音 (vowel) である a, i, u, e, o の 5 つの音声进行認識する回路を例にして以下に説明する。

【0 0 1 6】

認識されに音声入力信号は、例えば線形予測分析法 (ARMA 音声分析法) によって、特に制限されないが、4 ピッチに対応された音声信号を周波数スペクトルを取り、エンベロープ (envelope) 処理によりスペクトル包絡に対応した複数次元のベクトルからなる信号を形成する。このようにして形成された入力信号が、次に説明するクラスタリング・ラベリング (clustering/labeling) 回路で音声認識信号 label: /a/, /i/, /u/, /e/, /o/ が形成される。

【0 0 1 7】

図 3 には、この発明に係る音声認識回路 (クラスタリング・ラベリング回路) の一実施例の全体回路図が示されている。この実施例では、p 次元の類似度回路

を m 個並列に並べ、これらの類似度回路の出力に $n \times m$ 行列の C (キャパシタ) マトリクスをつけた構造をしている。同図においては、類似度回路 (Similarity Circuits) を構成するブラックボックス $x_{11} \sim x_{nm}$ は、距離回路にニューロン MOSFET 対により構成される。類似度回路の入力は成分ごとにつながっており、全ての距離回路に入力電圧が同時に入力される。それぞれの類似度回路にはパターンベクトル x_i がキャパシタの比として記憶されていて、類似度演算の結果が C マトリクス (C -matrix) に入力され、重み付け演算と正負判別が行われる。

【0018】

前記のように5つの母音 (a, i, u, e, o) の認識を行う場合、この実施例の類似度回路を構成するブラックボックス $x_{11} \sim x_{mp}$ は、 30×16 個から構成される。つまり、入力信号 V_{in1} ないし V_{inp} は、ベクトル包絡に対応した30次元のベクトルからなる入力信号 V_{in1} ないし V_{in30} とされ、それぞれの入力信号 V_{in1} ないし V_{in30} が列方向に並べられた16個ずつのブラックボックスで示されたニューロン MOSFET 対に供給される。これにより、クラスタリング層で形成される出力信号 V_{s1} ないし V_{sm} は、 V_{s1} ないし V_{s16} のように16個とされる。

【0019】

C マトリクス回路は、上記類似度回路からの16個の出力信号に対応した16行と、5つの母音 (a, i, u, e, o) に対応した5列と、比較キャパシタ列の合計6列及び各列での合成容量を等しくさせるためのダミー容量 C_{dum} が各列に設けられる。それ故、 C マトリクス全体では 17×6 個のキャパシタが設けられることになる。

【0020】

この実施例では、前記のように類似度回路 (クラスタリング回路) の距離計算における減算にはニューロン MOSFET を用いている。図5にニューロン MOSFET の動作原理の説明図が示されている。ニューロン MOSFET は、MOSFET のゲートが n 個の入力が容量で結合している。ニューロン MOSFET の動作原理は、まず各々の入力に V_i ($i = 1, 2, \dots, n$) を加え、スイ

ッチを閉じてゲートに0Vをプリチャージする。次に、スイッチを開いてプリチャージを終了させ、入力電圧を V_i' ($i=1, 2, \dots, n$)に変化させる。この時MOSFETのゲートにかかる電位は、次式5のようにになっている。

【0021】

【式5】

$$V_{gs} = \frac{\sum_{i=1}^n C_i (V_i' - V_i)}{C_{all}}$$

ただし、 C_{all} は、ゲートに付いている全ての容量の和である。

【0022】

ここで、この実施例回路で用いているMOSFETの基本特性は次の通りである。 $V_{thn} < V_{gsn} < V_{dsn} + V_{thn}$ の範囲において、 n チャンネル型MOSFETは飽和領域で動作し、ドレイン電流とゲート電圧の関係は、次式6となる。

【0023】

【式6】

$$I_{dsn} = \frac{KP_n}{2} (V_{gsn} - V_{thn})^2$$

【0024】

p チャンネル型MOSFETは、 $V_{dsp} + V_{thp} > V_{gsp}$ において線形領域（非飽和領域）で動作し、次式7となる。

【0025】

【式7】

$$I_{dsp} = -KP_p \left\{ (V_{gsp} - V_{thp}) V_{dsp} - \frac{1}{2} V_{dsp}^2 \right\}$$

【0026】

ここで、前記式6及び式7において、 $V_{gsn}, V_{dsn}, V_{thn}, KP_n, I_{dsn}$ はそれぞれ n チャンネル型MOSFETのゲートーソース電圧、ドレインーソース間電圧、しきい値電圧、トランスコンダクタンス、ドレイン電流をそれぞれ示している。 $V_{gsp}, V_{dsp}, V_{thp}, KP_p, I_{dsp}$ は p チャンネル型MOSFETのゲートー

ソース電圧、ドレイン-ソース間電圧、しきい値電圧をそれぞれ示している。この実施例では、後述するように n チャンネル型 MOSFET の飽和領域と p チャンネル型 MOSFET の線形領域を組み合わせて類似度を計算する。

【0027】

図4には、この発明に用いられる類似度回路の一実施例の回路図が示されている。この実施例回路は、 p 次元入力ベクトル $y = (y_1, y_2, \dots, y_p)$ とパターンベクトル $x_i = (x_{i1}, x_{i2}, \dots, x_{ip})$ との距離を求める回路が代表として例示的に示されている。前記のように5つの母音の認識を行う場合、同様な回路が全体で16個設けられる。

【0028】

上記ベクトル y と x_i は、特に制限されないが、0から255の間の整数とする。この実施例では、2個のニューロンMOSFETにより1次元分を計算する。 j 番目のニューロンMOSFET対はどちらも C_{1ij} 、 C_{2ij} 、 C_3 の容量をもつ。 C_{1ij} と C_{2ij} は、パターンベクトル x_i の j 番目の成分 x_{ij} を用いて、次式に示す比を持つように決定する。

【0029】

【式8】

$$C_{1ij} : C_{2ij} = x_{ij} : 255 - x_{ij}$$

【0030】

C_3 は、 n チャンネル型 MOSFET のしきい値電圧に対応させて、次式9のように設定される。

【0031】

【式9】

$$C_3 = C_{all} \frac{V_{thn}}{V_{dd}}$$

ただし、 C_{all} は、前記式5と同様にゲートに付いている全ての容量の和である。

【0032】

入力電圧は、ベクトルの成分毎にアナログ電圧 V_{inj} を次式 10 で与える。

【0033】

【式 10】

$$V_{inj} = \frac{y_j}{255} V_{dd}$$

【0034】

ニューロン MOSFET 対の出力（ドレイン）は、全てつながっており、このノードは p チャンネル型 MOSFET を通して演算増幅回路からフィードバックを受けているので、演算増幅回路の反転入力（-）の電位 V_{bias} と同じ電位に保たれる。つまり、演算増幅回路は、反転入力（-）に与えられた電位 V_{bias} と、非反転入力（+）の電位、つまりはニューロン MOSFET のドレインと p チャンネル型 MOSFET のドレインとの接続ノードの電位が等しくなるように出力電圧を形成して p チャンネル型 MOSFET を駆動する。これにより、ニューロン MOSFET を飽和領域で動作させ、かつ、p チャンネル型 MOSFET を線形領域で動作させるような動作条件を設定することができる。

【0035】

図 6 には、ニューロン MOSFET の動作方法を説明するための回路図が示されている。図 6（a）はプリチャージサイクル（pre-charge cycle）を示し、フローティングゲートに付いている n チャンネル型 MOSFET をオン状態にして回路の接地電位 0 V のプリチャージを行う。このプリチャージ期間に、左側のニューロン MOSFET のキャパシタ $C1_{ij}$ と $C2_{ij}$ には入力電圧 V_{inij} が供給され、キャパシタ $C3$ には 0 V が供給される。これに対して、右側のニューロン MOSFET のキャパシタ $C1_{ij}$ には V_{dd} が供給され、 $C2_{ij}$ と $C3$ には 0 V が供給される。

【0036】

図 6（b）は動作期間（execute）を示し、上記フローティングゲートに付いている n チャンネル型 MOSFET をオフ状態にしてキャパシタ $C3$ には V_{dd} を供給する。この動作期間に、前記とは逆に右側のニューロン MOSFET のキャパシタ $C1_{ij}$ と $C2_{ij}$ には入力電圧 V_{inij} が供給される。これに対して、左側のニ

ニューロンMOSFETのキャパシタC1ij にはVddが供給され、C2ij には0Vが供給される。このとき、セル内の左右のニューロンMOSFETのゲートソース間電圧Vgsn(left), Vgsn(right)は、前記式5に前記式8、式9及び式10を代入して、次式11及び式12が得られる。

【0037】

【式11】

$$V_{gsn(left)} = V_{thn} - \frac{C_0}{C_{all}} \frac{(y_j - x_{ij})}{255} V_{dd},$$

【0038】

【式12】

$$V_{gsn(right)} = V_{thn} + \frac{C_0}{C_{all}} \frac{(y_j - x_{ij})}{255} V_{dd}$$

【0039】

上記2つの式のうち一方はVthn より小さいので、一方はカットオフとなりドレイン電流は流れない。もう一方のMOSFETにドレイン電流が流れ、ゲート電圧がVbias+Vthn より小さい場合には、前記式6より、次式13が求められる。

【0040】

【式13】

$$I_{dsn} = \frac{KP_n}{2} \left\{ \frac{C_0}{C_{all}} \frac{(y_j - x_{ij})}{255} V_{dd} \right\}^2$$

ゲート電圧がVbias+Vthn を超える場合、ニューロンMOSFETは線形領域で働くので前記式13の通りにはならない。ただし、後で示すシミュレーションの場合は、前記式2のしきい値Ds を超える領域に入るので2乗の電流が得られなくても問題はない。

【0041】

図6(a)と(b)に示すような入力信号Vinijの切り換えは、前記図3のスイッチ回路SWにより行われる。そして、キャパシタC3 とnチャンネル型のス

スイッチMOSFETに対しては、それぞれ同じ動作信号が供給される。それ故、図3の回路では、これらキャパシタC3とnチャンネル型のスイッチMOSFETを制御する回路は省略されている。

【0042】

図4において、演算増幅回路の入力には電流が流れないので、ニューロンMOSFETのドレイン電流はすべてpチャンネル型MOSFETに流れることになる。このpチャンネル型MOSFETに流れる電流は、同じ行の全てのニューロンMOSFETのドレイン電流の和であるから、式14が得られる。

【0043】

【式14】

$$-I_{dsp} = \sum_{j=1}^P \frac{KP_n}{2} \left\{ \frac{C_0}{C_{all}} \frac{(y_j - x_{ij})}{255} V_{dd} \right\}^2 + I_0$$

【0044】

ここで、pチャンネル型MOSFETのドレインに設けられる定電流 I_0 は、プリチャージ時にもpチャンネル型MOSFETに電流を流してフィードバックを崩さない働きをしている。一方、pチャンネル型MOSFETには演算増幅回路を介してフィードバックがかかっているため、流れるドレイン電流に相当するゲート電圧が演算増幅回路の働きにより加えられ、このゲート電圧を出力として利用する。

【0045】

図7には、上記演算増幅回路の一実施例の回路図が示されている。nチャンネル型の差動MOSFETM5とM7のドレインには、カレントミラー形態にされたpチャンネル型MOSFETM4とM6からなる負荷回路が設けられ、上記MOSFETM5とM7の共通接続されたソースには、動作電流を流すnチャンネル型の電流源MOSFETM8が設けられる。上記差動MOSFETM7のドレインから得られる出力信号は、pチャンネル型の増幅MOSFETM11のゲートに伝えられる。この増幅MOSFETM11のドレインには、nチャンネル型の電流源MOSFETM12が負荷として設けられる。

【0046】

この増幅MOSFETM11のドレイン出力は、nチャンネル型のソースフォロワ出力MOSFETM9、M13及びM15のゲートに共通に供給される。これらソースフォロワ出力MOSFETM9、M13及びM15のソースには、nチャンネル型の電流源MOSFETM10、M14及びM16が負荷として設けられる。上記3つのソースフォロワ出力回路は、それぞれが電氣的に分離された出力信号を形成するものであり、そのうちの1つの出力MOSFETM9のソース出力は、増幅MOSFETM11の帰還回路を構成し、位相補償用キャパシタC1が接続される。

【0047】

残り2つの出力MOSFETは、出力端子OUT1、OUT2に接続され、特に制限されないが、出力端子OUT1は、前記のようにニューロンMOSFETのドレインとpチャンネル型MOSFETのドレインとの接続ノードの電位が等しくなるように出力電圧を出力するのに用いられる。出力端子OUT2は、次段回路であるCマトリクスに供給される信号Vsiを形成するために用いられる。これにより、後段のCマトリクスの容量の影響で発振するのが防止できる。

【0048】

図8には、Cマトリクスの一実施例の回路図が示されている。この実施例のCマトリクス回路は、キャパシタをマトリクス状に並べ、コンパレータをつなげた構造をしており、次式15と式16のような行列演算の結果を正負判別する演算を行う。

【0049】

【式15】

$$\begin{pmatrix} r_1 \\ r_2 \\ \vdots \\ r_n \end{pmatrix} = \begin{pmatrix} w_{11} & w_{12} & \dots & w_{1m} \\ w_{21} & w_{22} & \dots & w_{2m} \\ \vdots & \vdots & & \vdots \\ w_{n1} & w_{n2} & \dots & w_{nm} \end{pmatrix} \begin{pmatrix} s_1 \\ s_2 \\ \vdots \\ s_m \end{pmatrix}$$

【0050】

【式 16】

$$z_t = \begin{cases} 1 & r_t > 0 \\ 0 & r_t < 0 \end{cases} \quad (t = 1, 2, \dots, n)$$

【0051】

ここで、 $s = (s_1, s_2, \dots, s_m)^T$ は、成分が正の値の m 次元入力ベクトルであり、 z_t は n 次元の出力ベクトル $z = (z_1, z_2, \dots, z_n)^T$ の成分である。重み付け行列は $n \times m$ 行列で、その成分 w_{ti} は正でも負でも構わない。C マトリクスには m 個の比較キャパシタがあり、容量 C_{cmpi} ($i = 1, 2, \dots, m$) は次式 17 と次式 18 で定められる。

【0052】

【式 17】

$$C_{cmpi} = \begin{cases} C_0 & w_{mini} \geq 0 \\ C_0 - C w_{mini} & w_{mini} < 0 \end{cases}$$

【0053】

【式 18】

$$w_{mini} = \min\{w_{1i}, w_{2i}, \dots, w_{ni}\}$$

【0054】

ここで、デザインルールに基づき、式 17 の C_0 は容量の最小値で、 C は可能な容量のステップである。なお、同じ列の w の最小値 w_{mini} と 2 番目に小さい w との差が C_0 / C 以上の場合は C_0 を考慮しなくてよく、単に次式 19 で比較キャパシタを定める。

【0055】

【式 19】

$$C_{cmpi} = \begin{cases} 0 & w_{mini} \geq 0 \\ -C w_{mini} & w_{mini} < 0 \end{cases}$$

【0056】

その他のキャパシタ C_{ti} ($t = 1, 2, \dots, n$) ($i = 1, 2, \dots, m$) は比較キャパシタの値 C_{cmpi} を用いて、次式 20 のとおり定める。

【0057】

【式 20】

$$C_{ti} = C_{wti} + C_{cmpi}$$

【0058】

また、行のキャパシタの和がすべて同じ値 C_{sum} になるように、ダミーキャパシタ C_{dumt} ($t = 0, 1, 2, \dots, n$) を設ける。

【0059】

図 9 には、C マトリクス回路の動作方法を説明するための回路図が示されている。C マトリクス回路の動作方法は、まず全ての MOSFET スイッチをオン状態にして全ての入力電圧を 0 V にして、フローティングノードの電位を 0 V にプリチャージする。次に、矢印で示したように、MOSFET をオフ状態にしてプリチャージを終了させ、その後それぞれ入力成分 s_i に比例させた入力電圧 $V_{in i}$ を加えると比較フローティングノードの電位は次式 21 のようになり、 t 番目のフローティングノードの電位は次式 22 のようになる。

【0060】

【式 21】

$$V_{cmp} = \frac{\sum_{i=1}^m C_{cmpi} V_{in i}}{C_{sum}}$$

【0061】

【式 22】

$$V_t = \frac{\sum_{i=1}^m C_{wti} V_{in i} + \sum_{i=1}^m C_{cmpi} V_{in i}}{C_{sum}}$$

【0062】

これら 2 つの電位を比較する t 番目のコンパレータの出力が、今 V_{dd} になっていると仮定すると、 $V_{cmp} < V_t$ より、次式 23 が条件となり、これは前記式 1

5と前記式16で示した演算と同じ演算になっていることが判る。

【0063】

【式23】

$$\sum_{i=0}^m Cw_{ti} V_{ini} > 0$$

【0064】

この発明に係る音声認識回路では、音声認識に応用することを目的としているため、本回路の入力に女性の5母音のスペクトル包絡を用いた。具体的には30次元ベクトルで各要素を1から255までの整数に丸めたものを用いた。学習の結果、この回路の規模は前記図3において、 $p=30$ 、 $m=15$ 、 $n=5$ となった。この学習で得たパターンベクトルと重みベクトルの数値を基に回路を設計した。

【0065】

図10には、前記のように5つの母音(a, i, u, e, o)の認識を行う場合のクラスタリング層のテンプレート値 $C1ij$ の容量値(f F)の例が示されている。容量 $C2ij$ は、 $C2ij = 255 - C1ij$ により求める。ノード番号は、前記ベクトル包絡に対応した30次元のベクトルに対応している。

【0066】

図11には、前記のように5つの母音(a, i, u, e, o)の認識を行う場合のラベリング層の重みの学習結果とCマトリクスの容量(f F)の例が示されている。

【0067】

上記のような構成により音声認識回路のクラスタリング層とラベリング層を構成して、5つの母音(a, i, u, e, o)を入力した場合のシミュレーション結果が図12に示されている。この同図には、Cマトリクスの/u/の認識を行う比較フローティングノードの電位が示されている。入力にa, i, u, e, oの順に入力すると、入力が/u/のときのみ比較comに対して/u/のフローティングノードの電位が高くなり、電圧比較回路によりハイレベルの出力信号V

out3が出力される。

【0068】

図13には、上記のような構成により音声認識回路のクラスタリング層とラベリング層を構成して、5つの母音(a, i, u, e, o)を入力した場合のシミュレーション結果の出力波形図が示されている。入力データとしてa, i, u, e, oの順に繰り返して入力すると、出力out" a"、out" i" : out" u"、" e"、out" o"の順に出力される。例えば、矢印で示した入力データをeとしたときには、出力out" a" ~ out" o"は、0, 0, 0, 1, 0のパターンのデジタル信号として出力される。

【0069】

この発明に係る音声認識回路を、2入力、4ノード、2出力のクラスタリングシステムを、1.5 μm ルールで設計した。入力部分をデジタルにするため、ニューロンMOSFETは5入力とし、このうちの4つのキャパシタは1:2:4:8の容量で設計して、簡単なデジタル/アナログ変換の役割を持たせている。この設計で要したチップ面積は、537,000 μm^2 となった。

【0070】

この発明に係るアナログ回路構成での音声認識回路と比較するため、8ビットデジタル回路での設計も行った。設計にはハードウェア記述言語のVerilog-HDLを用いた。演算は、アナログ回路と同じように、すべて並列で行うように設計した。このとき要した面積は、19,516,000 μm^2 となった。これらのことから、8ビットデジタル回路と比較した場合、前記のようなアナログ回路を用いることにより、1/36の面積縮小が可能となった。

【0071】

デジタルでは回路規模が大きくなるとそれだけ配線にチップ面積がかかるが、本願発明の音声認識回路の場合は基本演算回路を整然と配置する構成となっており、大規模な回路を設計すると、面積で更に有利になる。

【0072】

この発明に係る音声認識回路では、MOSFETの電流電圧特性をそのまま使っているため、素子のばらつきがクラスタ処理にどのくらい影響を与えるか調べ

るため統計解析を行った。nチャンネル型MOSFETとpチャンネル型MOSFETのしきい値電圧 V_{thn} 、 V_{thp} を1標準偏差において $\sigma = 0.1$ V、トランスコンダクタンス K_{Pn} 、 K_{Pp} を $\sigma = 10\%$ でそれぞれ独立したパラメータとして正規分布に基づいて設定した。

【0073】

演算増幅回路は10程度のMOSFETで設計していて、これは小さい面積に収まっていてばらつきが小さいと仮定し、 V_{thn} 、 V_{thp} 、 K_{Pn} 、 K_{Pp} の値を一組決めて、その演算増幅回路の中のMOSFETはこの値を用いた。キャパシタはデザインルールの制限による最小容量を14 fF、ステップを1 fFとして設計しているが、容量に関係なく $\sigma = 1$ fFの割合で変化させた。これらの条件のもとで“a、i、u、e、o”1組のデータを入力し、30回のモンテカルロシミュレーションを行った結果、素子に誤差が入っていてもクラスタリングの冗長性により正確な動作ができていることが確認された。

【0074】

以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、Cマトリクスにおいて、比較キャパシタを省略し、出力部にボルティージフォロワ回路を設けて行列演算出力を出力させ、その中で最も大きいものを選ぶレベル判定回路を設けるようにするものであってもよい。

【0075】

前記のような母音の他に子音や濁音、半濁音の認識を行う場合に、それに対応して上記ニューロンMOSFETを用いたクラスタリング層やCマトリクスを用いたラベリング層が設けられる。この場合、入力のスเปクトル包絡に対応した複数次元のベクトルは全回路に共通であり、クラスタリング層の入力容量が大きくなる。そこで、クラスタリング層を複数回路に分割し、それぞれに対応して入力バッファ回路を設けるようにすればよい。この発明は、半導体集積回路で構成される音声認識回路として広く利用できるものである。

【0076】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。認識すべき音声入力のスเปクトル包絡に対応した複数次元のベクトルからなる入力信号を受けて、自己組織化アルゴリズムに基づいた特徴を出力する類似度回路として、上記複数次元の入力ベクトルと予め音声認識のために用意されたパターンベクトルとの距離を求めるために、それぞれの次元に対応して2個のニューロンMOSFETにより1次元分を計算し、個々のニューロンMOSFETに流れる電流を加算して類似度に対応した電圧信号を形成してクラスタリング処理を行ない、その電圧信号を重み付け演算に対応したキャパシタがマトリクス状に並べられ、行列演算を行うマトリクス回路に入力し、かかる行列演算出力の中から前記予め用意されたパターンに最も近いものを認識結果として出力させてラベリング処理を実施することより、小規模回路で音声認識を実現することができる。

【図面の簡単な説明】

【図1】

この発明に係る音声認識回路の一実施例を示す全体構成図である。

【図2】

この発明に係る音声認識回路での全体の信号処理の一実施例を示すフローチャート図である。

【図3】

この発明に係る音声認識回路（クラスタリング・ラベリング回路）の一実施例を示す全体回路図である。

【図4】

この発明に用いられる類似度回路の一実施例を示す回路図である。

【図5】

この発明に用いられるニューロンMOSFETの動作原理の説明図である。

【図6】

この発明に用いられるニューロンMOSFETの動作方法を説明するための回路図である。

【図 7】

この発明に用いられる演算増幅回路の一実施例を示す回路図である。

【図 8】

この発明に用いられる C マトリクスの一実施例を示す回路図である。

【図 9】

図 8 の C マトリクス回路の動作方法を説明するための回路図である。

【図 1 0】

この発明に係る音声認識回路で 5 つの母音を認識する場合のクラスタリング層のテンプレート値 C_{1ij} の容量値 (f F) の実施例である。

【図 1 1】

この発明に係る音声認識回路で 5 つの母音を認識する場合のラベリング層の重みの学習結果と C マトリクスの容量 (f F) の実施例である。

【図 1 2】

この発明に係る音声認識回路で 5 つの母音を入力した場合のシミュレーション結果を示す波形図である。

【図 1 3】

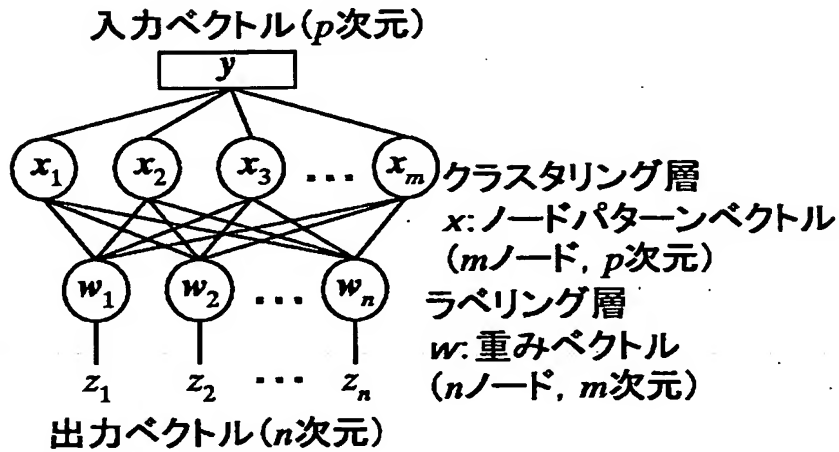
この発明に係る音声認識回路で 5 つの母音を入力した場合のシミュレーション結果を示す出力波形図である。

【符号の説明】

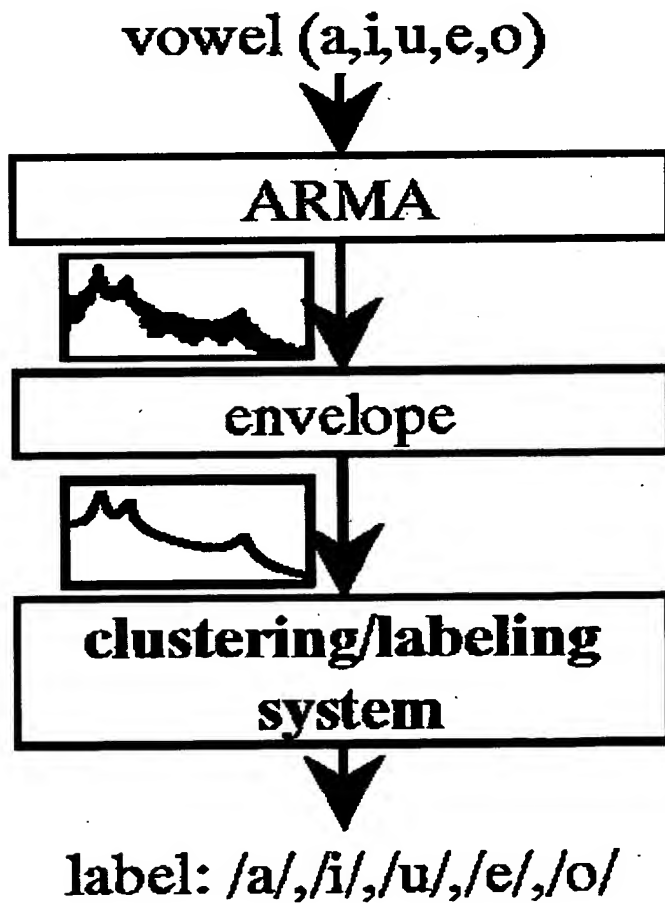
SW…スイッチ回路、M1～M16…MOSFET、C_{dum}…ダミーキャパシタ、C_{cmp}…比較キャパシタ、C₁₁～C_{nm}…キャパシタ。

【書類名】 図面

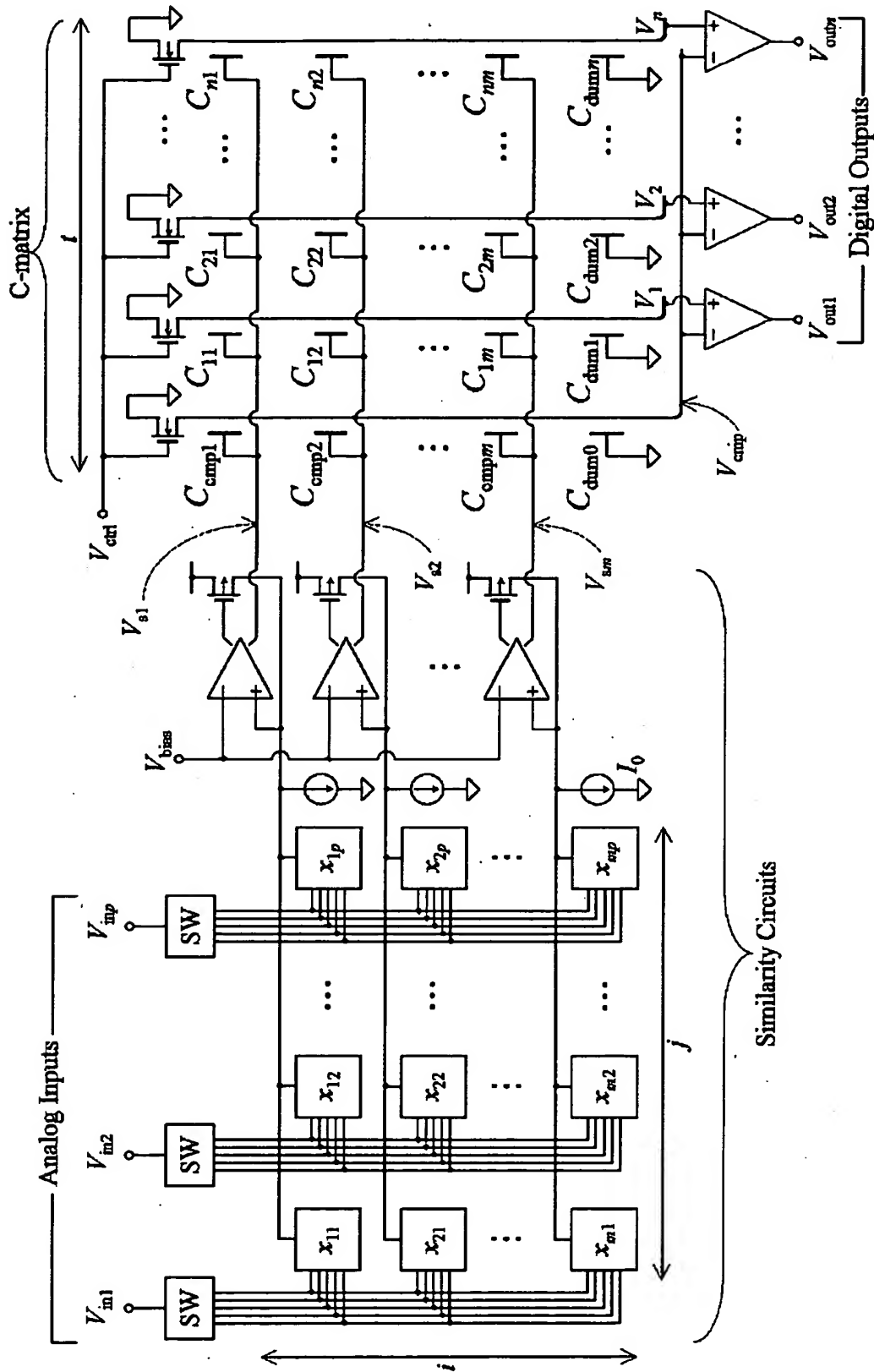
【図 1】



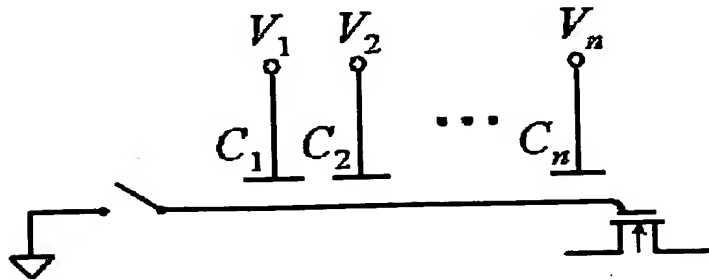
【図 2】



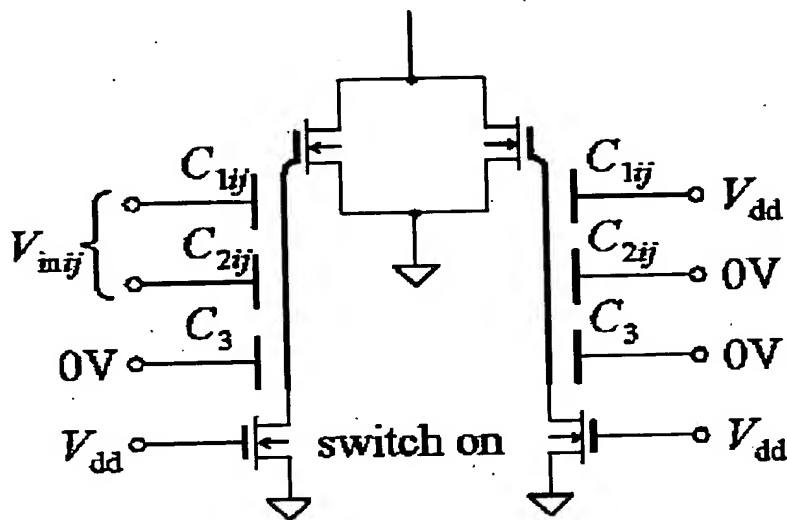
【図 3】



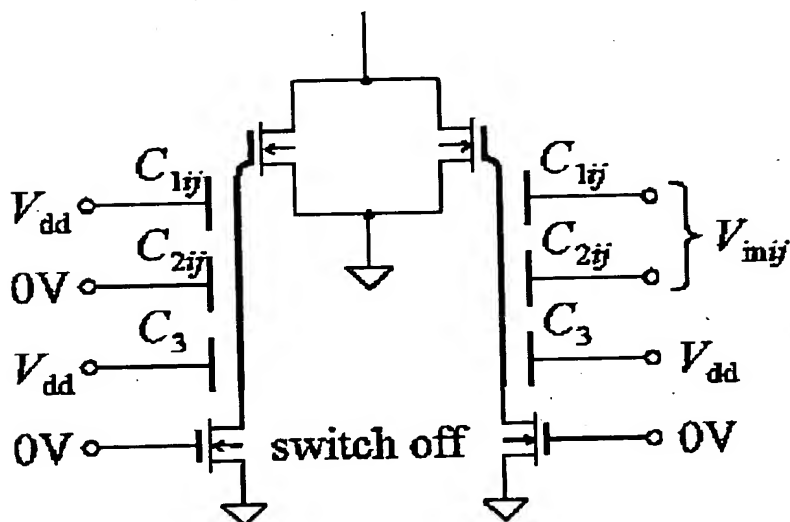
【図5】



【図6】

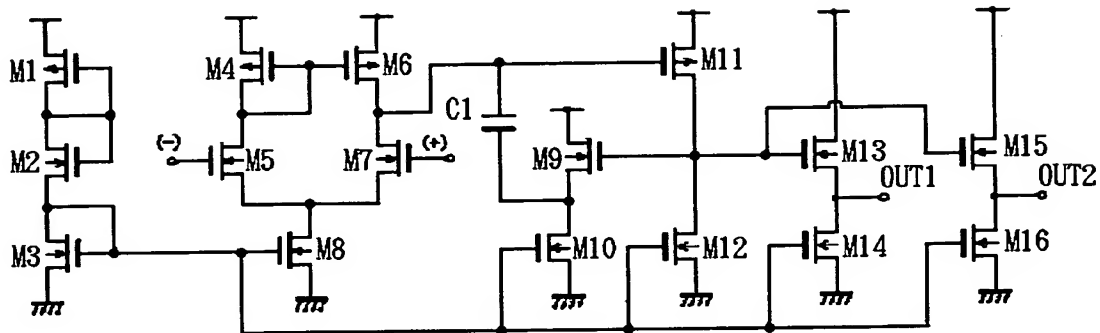


(a) pre-charge cycle

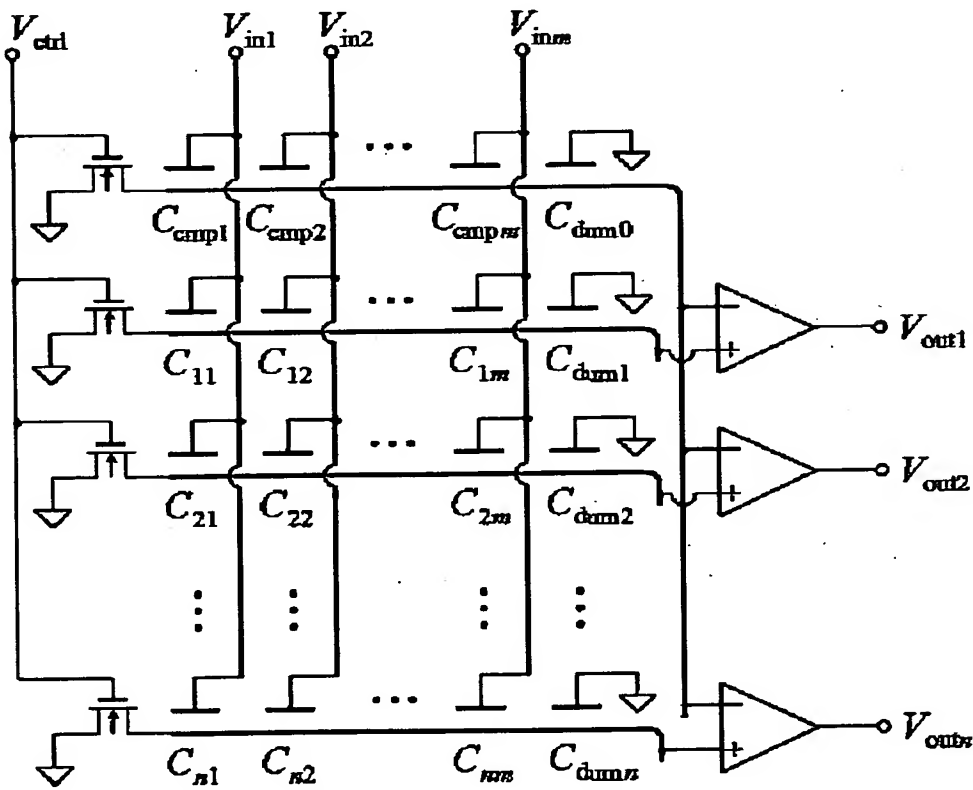


(b) execute cycle

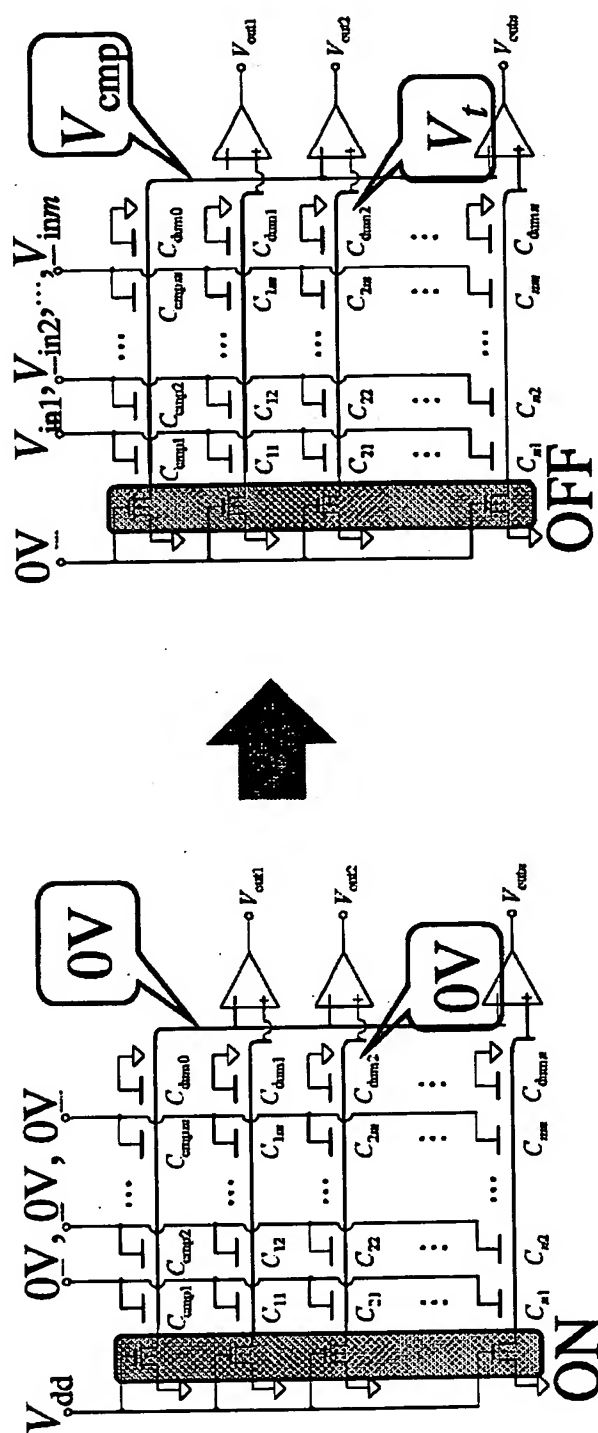
【図 7】



【図 8】



【図 9】



【図 10】

ガラスタリング層のテンプレート値 (C1の値[FF] C2=255-C1)

ノード番号

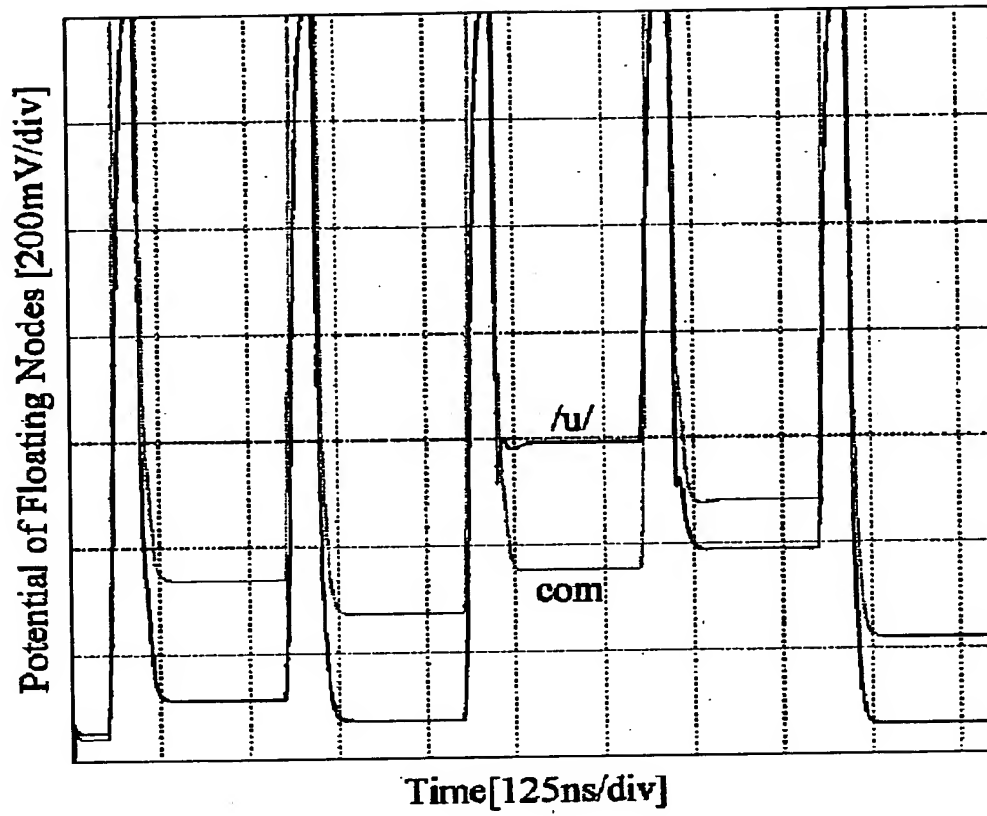
	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29
0	225	235	232	228	239	252	229	225	221	195	176	163	152	143	138	139	148	170	179	162	157	161	164	159	155	143	124	109	97	88
1	253	251	246	236	226	217	208	202	196	193	190	188	185	182	181	188	202	210	209	217	232	243	243	240	225	214	210	199	177	156
2	246	248	250	208	189	183	186	199	198	181	172	169	164	158	155	154	149	137	127	125	130	144	160	165	174	167	156	157	135	108
3	225	238	251	220	200	185	174	166	161	161	165	172	181	188	185	181	183	192	185	168	157	154	156	155	155	154	138	121	110	102
4	231	248	252	229	234	194	160	139	125	119	118	117	118	123	125	112	99	92	90	93	102	115	132	137	104	99	73	52	40	34
5	242	248	247	200	175	162	156	153	155	159	161	158	156	157	165	183	206	195	189	195	205	207	207	204	190	183	177	165	148	133
6	235	242	238	240	249	251	244	238	221	204	189	174	162	154	151	154	164	185	193	174	167	168	173	175	168	155	140	125	112	100
7	229	242	249	217	211	182	152	132	120	112	106	101	98	97	97	93	85	79	79	83	90	101	118	123	110	102	69	43	24	10
8	234	243	250	208	189	184	189	201	196	182	175	170	166	161	159	155	147	138	132	129	129	134	142	149	152	139	117	131	144	124
9	228	232	247	185	157	144	137	135	137	142	145	144	142	143	149	163	186	179	170	174	188	187	181	177	163	154	154	150	128	112
10	234	242	251	217	209	197	167	146	133	128	122	120	115	108	102	102	91	84	82	85	97	123	122	111	111	83	62	48	38	
11	225	246	253	239	224	192	168	152	142	136	135	134	126	115	110	112	118	115	111	110	115	129	152	145	133	128	114	98	85	74
12	239	249	251	209	188	178	174	175	179	185	186	180	177	179	188	206	230	214	209	217	226	223	226	224	211	214	205	174	156	146
13	231	245	252	227	210	198	188	182	179	179	182	190	202	208	198	193	197	203	189	176	168	164	164	165	167	166	155	139	125	113
14	228	233	247	193	172	167	172	187	181	168	162	158	152	146	145	144	137	127	119	117	118	123	131	136	145	152	131	129	145	114
15	225	240	253	239	218	190	173	164	159	157	155	152	145	139	133	128	127	127	126	125	127	136	149	135	125	124	113	94	80	72

次元

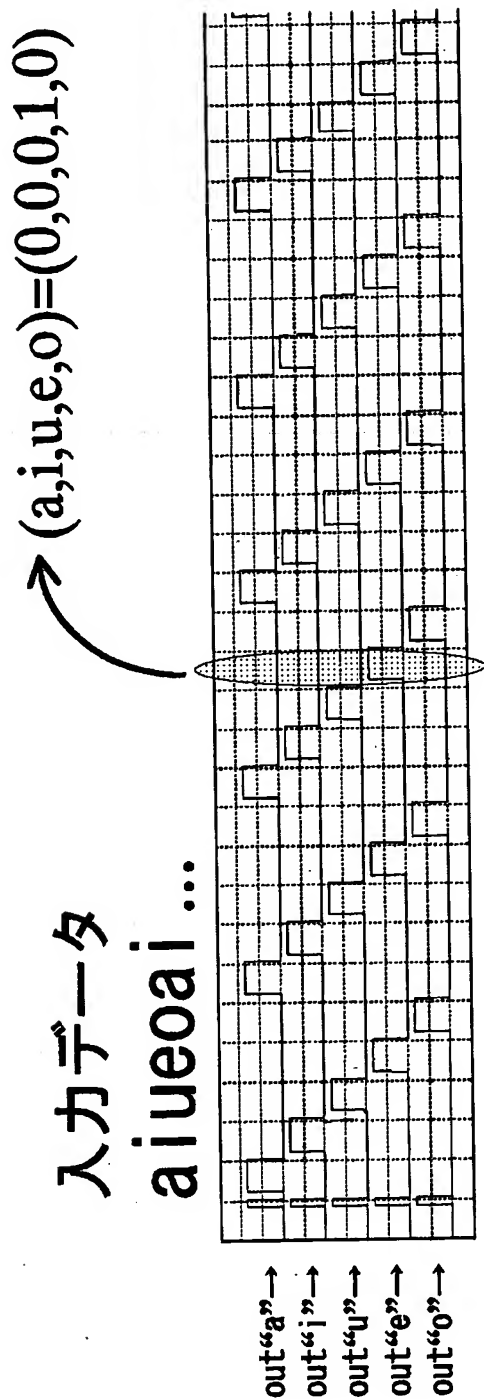
【図11】

ノード		学習値					容量[円]				
次元	0	1	2	3	4	0	1	2	3	4	比較
0	5.031	-5.029	-5.053	-5.047	-5.029	518	15	14	14	15	266
1	-3.234	3.247	-3.254	-3.239	-3.243	15	339	14	14	14	176
2	-4.531	-4.539	4.523	-4.518	-4.543	14	14	467	15	14	241
3	-4.441	-4.426	-4.421	4.421	-4.415	14	14	14	457	15	236
4	-3.802	-3.878	-3.711	-3.801	3.780	17	14	22	17	398	207
5	-5.377	5.380	-5.382	-5.377	-5.375	14	552	14	14	14	283
6	4.835	-4.838	-4.820	-4.824	-4.839	497	14	14	14	14	255
7	-3.586	-3.597	-3.505	-3.485	3.588	19	14	23	24	378	198
8	-3.612	-3.603	3.679	-3.677	-3.524	17	17	381	14	21	197
9	-3.840	3.840	-3.837	-3.842	-3.840	14	398	14	14	14	206
10	-3.228	-3.052	-3.413	-3.368	3.246	23	32	14	16	346	184
11	-4.022	-4.010	-3.987	-3.995	3.999	14	14	15	15	415	215
12	-4.040	4.033	-4.032	-4.036	-4.039	14	417	14	14	14	216
13	-4.428	-4.433	-4.434	4.434	-4.436	14	14	14	457	14	235
14	-3.945	-3.946	3.928	-3.931	-3.975	15	15	409	16	14	212
15	-2.578	-2.578	-2.605	-2.596	2.594	15	15	14	14	273	144
ダミー						2237	1573	2014	2342	1500	0

【図12】



【図13】



【書類名】 要約書

【要約】

【課題】 半導体集積回路に好適な小規模回路な音声認識回路を提供する。

【解決手段】 認識すべき音声入力のスเปクトル包絡に対応した複数次元のベクトルからなる入力信号を受けて、自己組織化アルゴリズムに基づいた特徴を出力する類似度回路として、上記複数次元の入力ベクトルと予め音声認識のために用意されたパターンベクトルとの距離を求めるために、それぞれの次元に対応して2個のニューロンMOSFETにより1次元分を計算し、個々のニューロンMOSFETに流れる電流を加算して類似度に対応した電圧信号を形成してクラスタリング処理を行ない、その電圧信号を重み付け演算に対応したキャパシタがマトリクス状に並べられ、行列演算を行うマトリクス回路に入力し、かかる行列演算出力の中から前記予め用意されたパターンに最も近いものを認識結果として出力させてラベリング処理を実施する。

【選択図】 図3

出 願 人 履 歴 情 報

識別番号 [396023993]

1. 変更年月日 1996年10月28日

[変更理由] 新規登録

住 所 東京都港区新橋6丁目16番10号

氏 名 株式会社半導体理工学研究センター

2. 変更年月日 2001年 3月23日

[変更理由] 住所変更

住 所 神奈川県横浜市港北区新横浜3丁目17番地2 友泉新横浜ビ
ル6階

氏 名 株式会社半導体理工学研究センター